

102(b) → 1, 2, 3, 4, 5, 6, 9

103(a) → 7, 8 → C Y A P A ← also 10

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135281

(43) 公開日 平成10年(1998)5月22日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/60  
G 01 R 1/06  
31/26

識別記号  
3 2 1

F I  
H 01 L 21/60  
G 01 R 1/06  
31/26

3 2 1 Y  
B  
J

審査請求 未請求 請求項の数5 FD (全5頁)

(21) 出願番号 特願平8-303752

(22) 出願日 平成8年(1996)10月29日

(71) 出願人 000006747  
株式会社リコー  
東京都大田区中馬込1丁目3番6号

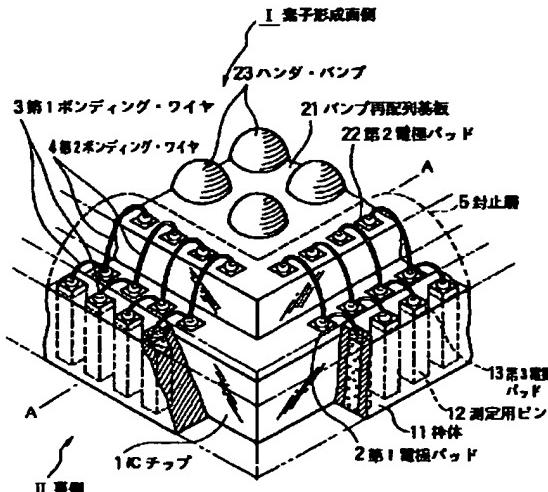
(72) 発明者 高橋 哲男  
東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(54) 【発明の名称】 ICパッケージ

(57) 【要約】

【課題】 CSP (チップ・サイズ・パッケージ) 型の ICパッケージの電気検査を、実装用の電気接点への損傷を防止しながら行う。

【解決手段】 ICチップ1の素子形成面上でバンプ再配列基板21を用いてハンダ・バンプ23が再配列されたICパッケージの側面を、導電性の測定用ピン12を貫通させた絶縁性の枠体11で周回する。素子形成面の辺部に沿って配され、かつ第2ポンディング・ワイヤ4でハンダ・バンプ23に電気的に接続される第1電極パッド2を、さらに第1ポンディング・ワイヤ3と第3電極パッドとを介して測定ピン12へも接続する。電気測定は、このICパッケージの裏側IIから測定用プローブを測定ピン13の露出端面に接触させて行う。ハンダ・バンプ23が何ら測定手段に接触しないので、その磨耗、損傷、脱落が防止される。



KGD in [0018]

1

2

## 【特許請求の範囲】

【請求項1】 ICチップの素子形成面上に積層された絶縁性の介層を用いて該素子形成面上の第1電極パッドと電気的に接続された実装用の電気接点が再配列されてなるICパッケージであって、

前記第1電極パッドが前記素子形成面上において前記介層の積層領域外の露出面に配列され、

前記ICチップの側面が前記第1電極パッドと同数の導電性の測定用ピンが高さ方向に貫通されてなる絶縁性の枠体に周回され、

前記第1電極パッドとこれに対応する前記測定用ピンとが素子形成面側で第1接続手段を用いて各々電気的に接続されることにより、

前記素子形成面とは反対側の方向から前記枠体に露出する前記測定用ピンに対して電気検査用プローブを接触させようになされたICパッケージ。

【請求項2】 前記第1電極パッドと前記電気接点との電気的接続は、

前記介層の辺部に配され該電気接点と電気的に接続された第2電極パッドと、

該第1電極パッドと該第2電極パッドとを各々電気的に接続する第2接続手段とを用いて達成される請求項1記載のICパッケージ。

【請求項3】 前記第1接続手段と前記第2接続手段が共にポンディング・ワイヤを含む請求項1記載のICパッケージ。

【請求項4】 前記ポンディング・ワイヤによる接続部の近傍のみ選択的に絶縁封止材料を用いて封止されてなる請求項3記載のICパッケージ。

【請求項5】 前記電気接点がバンプである請求項1記載のICパッケージ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、パッケージ寸法をICチップ本体と同等としながら高密度実装や多ピン化に対応できるCSP(チップ・サイズ・パッケージ)型のICパッケージに関し、特に実装用の電気接点の損傷を防止しながら電気検査を行うことを可能とする新規な構造に関する。

## 【0002】

【従来の技術】電子機器の製造分野では、小型・軽量化、低コスト化、短納期化の要望がますます高まっており、その心臓部を構成するICパッケージについても同様の要求が切迫したものとなっている。現状のICパッケージの主流はQFP(Quad Flat Pack-age)と呼ばれる、矩形のパッケージの四辺に多数の外部リードを引き出したものである。しかし、リード・ピッチが0.4mmから0.3mmへ移行されつつある折、接続品質の低下が問題となっており、これ以上の小型化や多ピン化に対応することは必ずしも容易ではない。

【0003】この問題に対応できるICパッケージとして、CSP(チップ・スケール・パッケージ)の研究・開発が活発化している。CSPにはまだ統一された規格が存在しておらず、各社各様のものが提案されているが、その多くに共通している考え方は、(a) ICチップの素子形成面が実装基板(マザーボード)に對面するごとく実装される、いわゆるフェイスダウン・ボンディングであること、(b) ICチップの素子形成面にすべての電極パッドが形成されており、この電極パッドの配列パターンが何らかの介層(インタポーザ)を介して規則的な電気接点の配列パターンに変換されており、この電気接点が基板上の配線パターンに実際に接続される実装用の接点となっていること、である。上記介層としてはセラミクス基板やポリイミド・フィルムが使用される。また、上記電気接点は格子状にパーニングされた電極や格子状に配列されたバンプで構成される。特に、後者のバンプを配列させる方式はBGA(ボール・グリッド・アレイ)と称されている。

## 【0004】

【発明が解決しようとする課題】ところで、上述のようにICパッケージが多ピン化され、ピン間隔も微細化されるに伴い、電気検査に際して電気検査用プローブを微細な検査用端子に正確に、しかも双方に損傷を与えないように接触させることが困難となりつつある。

【0005】リードフレームを使用する従来型のパッケージについては、この問題を解決するための構造上の工夫が幾つか提案されている。たとえば、特開平5-259367号公報には、各リードに接続される電気検査用ピンをフラット型ICパッケージの上面に露出させ、このピンにプローブを接触させて検査を行えるようになされた構造が開示されている。また、特開平6-204358号公報には、モールド内部のリードフレーム上に検査用接触端を設け、かつこの検査用接触端を露出させる開口をモールドの上面に設けることにより、該開口からプローブ・ピンを挿入して検査を行えるようになされたICパッケージの構造が開示されている。上述の各広報に記載される技術は、いずれもリードフレームの変形やプローブとの接触不良を防止することを目的として提案されたものである。ここで、プローブの接触相手となる

40 部材はリードまたはこれに接続されるピンであって、しかもこれらの部材は露出部を除いて全面的にモールド樹脂に固定された状態となっている。

【0006】これに対し、CSP型のICパッケージについて電気検査を行うためには、全面モールドされていないICチップの素子形成面側に配列された電気接点にプローブを配列させなければならない。特に、BGA型のICパッケージのように電気接点がバンプである場合、バンプ自体が近年ますます微細化され、下地との接着強度が確保しにくくなっていることから、検査時に加わる外圧によりバンプの磨耗、変形、脱落等の欠陥が生

50 わる外圧によりバンプの磨耗、変形、脱落等の欠陥が生

じやすくなっている。これらの欠陥が生じたICパッケージは、実装段階で基板取り付け不良の原因となり、製造上不利益である。そこで本発明は、CSP型のICパッケージについても、実装基板との接続に使用される電気接点に欠陥を生ずることなく、信頼性の高い電気検査を可能とするICパッケージを提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明のICパッケージは、電気接点が再配列されたICチップの素子形成面とは反対側の方向から電気検査用プローブを接触させることができるように、まず素子形成面に該電気接点と電気的に接続する第1電極パッドをICチップの辺に沿って配し、該ICチップを周回する枠体を高さ方向に貫通する形で該第1電極パッドに接続する導体を枠体の裏面（ただし、実装時にはこちらが上面となる。）へ引き出し、該裏面における導体の露出部を電気検査用プローブの接点とすることにより、上述の目的を達成しようとするものである。上記導体の役割を果たすものは、枠体に埋め込まれた導電性の測定用ピンであり、この測定ピンを対応する第1電極パッドと第1接続手段を用いて個々に接続しておけば良い。

## 【0008】

【発明の実施の形態】本発明は、ICチップの素子形成面上の電極パッドの配列パターンが、何らかの仲介層を用いて別の電気接点の配列パターンに変換されているようなICパッケージを対象としている。ここで、上記仲介層は、セラミクス基板、エポキシ樹脂基板、ポリイミド・フィルム等、公知の絶縁材料を用いて構成することができる。上記第1電極パッドと前記電気接点との電気的接続は、仲介層の内部構造を介して行うことも可能であるが、該仲介層の辺部に該電気接点と電気的に接続される第2電極パッドを配しておき、この第2電極パッドと上記第1電極パッドとを第2接続手段を用いて電気的に接続することが簡便である。なお、上記第1接続手段と第2接続手段としては、ボンディング・ワイヤを用いることが簡便である。なお、これら第1接続手段と第2接続手段には、ボンディング・ワイヤのみならず、該ワイヤとの密着性や接触抵抗を考慮して使用される下地金属膜も含めるものとする。

【0009】本発明は、あらゆる種類のCSPに適用して好適であるが、特に電気接点がハンダその他の金属からなるバンプで構成されているBGA型のICパッケージに適用すれば、電気検査時のバンプの磨耗、損傷、脱落を効果的に防止することができる。

【0010】次に、本発明の具体的な実施の形態として、BGA型のICパッケージの一構成例について図1および図2を参照しながら説明する。図1は、正方形のBGA型ICパッケージの一部を破断し、かつ素子形成面側Iを上向きに示した図であり、図2は図1のA-A

線断面図である。このICパッケージにおいて、ICチップ1は四辺を枠体11で周回されている。ICチップ1の素子形成面上には図示されない電極パッドが多数形成されているが、その電極パッドの配列パターンを十分な実装精度が得られる程度であってかつ規則的なハンダ・バンプ23の配列パターンに変換している仲介層がバンプ再配列基板21である。バンプ再配列基板21は、たとえばガラス繊維強化エポキシ樹脂を用いて形成されている。

10 【0011】前記ICチップ1の四辺に沿った領域には、第1電極パッド2が配されており、また、バンプ再配列基板21の四辺に沿った領域にも第2電極パッド22が配されている。第2電極パッド22は、内部配線24により個々のハンダ・バンプ23と電気的に接続されている。これら第1電極パッド2と第2電極パッド22は、共にたとえばA1系材料膜を用いて構成され、かつ同数設けられている。これらの電極パッドは、互いに対応するパッド同士が各々に第2ボンディング・ワイヤ4を用いて素子形成面側Iで接続されている。この第2ボンディング・ワイヤ4は、AuまたはA1系材料を用いて形成される。

【0012】上記第1電極パッド2と第2電極パッド22はいずれも素子形成面側Iに形成されている電気測定用の端子であるが、これらの端子に対して裏側IIからの電気検査用プローブのアクセスを可能とする部材が、枠体11とその中に埋め込まれている測定用ピン12である。上記枠体11は、幅0.1mm、高さ0.4mmのエポキシ樹脂よりなる部材である。上記高さは、ICチップ1の高さよりもやや高いが、これは後述のごとくICチップ1の周辺部についてのみ樹脂封止を行う際に、封止層5の保持力を高めるためである。

【0013】上記枠体11には、その高さ方向に1辺0.05mmのA1系もしくはCu系材料よりなる測定用ピン12が貫通されている。この測定用ピン12は、裏側IIではそのまま電気測定用プローブの接点とすることができますが、素子形成面側Iでは後述するようにワイヤ・ボンディングを行うため、ボンディング・ワイヤの端部の金属ボールとの密着性と接触抵抗が問題となる。ここでは、素子形成面側Iの測定用ピン12の端面に、Auからなる第3電極パッド13を形成した。

【0014】なお、上述のように枠体11の高さ方向を貫通する測定用ピン12と第3電極パッド13とを形成するには、たとえば予め一端に第3電極パッド13となるAu層を被着させたA1ピンまたはCuピンを成形型の中にセットしておき、この成形型に樹脂を注入することで各ピンの隙間を充填する方法をとることができる。

【0015】上記第3電極パッド13と第2電極パッド13とは、互いに対応するパッド同士が第1ボンディング・ワイヤ3を用いて接続されている。なお、第1ボン

ディング・ワイヤ3と第2ボンディング・ワイヤ4とは、たとえば絶縁性樹脂よりなる封止層5で封止されている。このICパッケージは実装基板上にフェイスダウン・ボンディングされるので、上記封止層5の高さがハンダ・バンプ23の高さの範囲内とされることが特に重要である。このようにして、本ICパッケージにおいては、測定用ピン12→第3電極パッド13→第1ボンディング・ワイヤ3→第1電極パッド22→第2ボンディング・ワイヤ4→第2電極パッド22→内部配線24→ハンダ・バンプ23の経路にしたがって導通がとられる。

【0016】上記ICパッケージに対して電気測定を行うには、図3に示されるようにICパッケージの裏側IIから電気検査用プローブ31を測定用ピン12に接触させる。この電気検査用プローブ31は、たとえば市販のプローブ・カードに装備されている類のものである。このように、本発明では測定用ピン12にプローブ31を接触させた状態で、該プローブ31から様々な試験用信号を入力することができる。つまり、ハンダ・バンプ23はプローブ31と一切接触される虞れがないので、バンプの磨耗、損傷、脱落といった欠陥を生ずることがない。なお、図3ではICパッケージをフェイスダウン式に載置した状態で電気検査用プローブ31を接触させているが、フェイスアップ式に載置してこれを行っても良い。

【0017】以上、本発明の実施の形態について述べたが、本発明は上述の形態に何ら限定されるものではなく、ICチップの構成の細部、各部材の寸法、各部材の構成材料については適宜変更や選択が可能である。

#### 【0018】

【発明の効果】以上の説明からも明らかなように、本發

明のICパッケージは実装基板との接続に使用される電気接点に欠陥を生ずることなく、信頼性の高い電気検査を可能とするものである。したがって、BGA型を始めとするあらゆる種類のCSP型ICパッケージの信頼性と製造歩留りを高めることができる。また、実装前に良品チップであることが証明されたチップ、すなわちKGD(known good die)の入手が容易となり、CSPの実用化に果たす役割は極めて大である。

#### 【図面の簡単な説明】

【図1】本発明を適用したBGA型ICパッケージの一部を破断して示す部分拡大斜視図である。

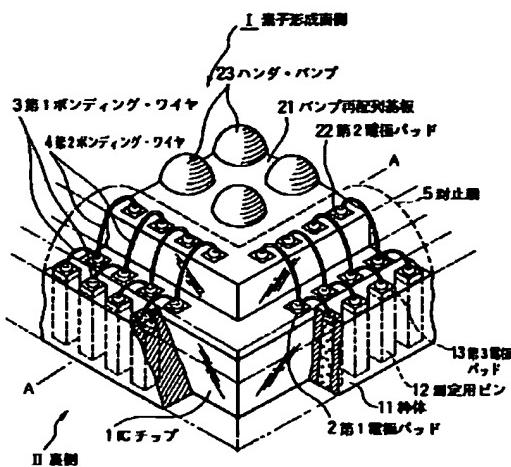
【図2】図1のA-A線断面である。

【図3】図1のICパッケージの裏面側から電気検査用プローブを接触させ、電気的検査を行っている状態を示す模式的斜視図である。

#### 【符号の説明】

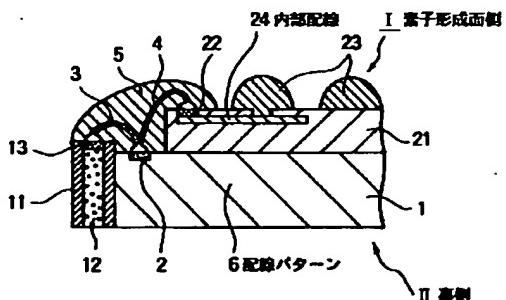
- |    |              |
|----|--------------|
| 1  | ICパッケージ      |
| 2  | 第1電極パッド      |
| 3  | 第2ボンディング・ワイヤ |
| 4  | 第1ボンディング・ワイヤ |
| 5  | 封止層          |
| 6  | 配線パターン       |
| 11 | 枠体           |
| 12 | 測定用ピン        |
| 13 | 第3電極パッド      |
| 21 | バンプ再配列基板     |
| 22 | 第2電極パッド      |
| 23 | ハンダ・バンプ      |
| 24 | 接続孔          |
| 31 | 電気検査用プローブ    |

【図1】



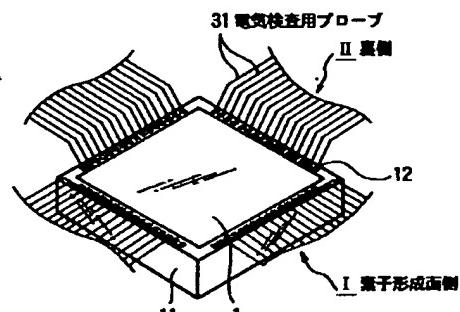
本発明のICパッケージの一観

【図2】



本発明のICパッケージのA-A線断面図

【図3】



電気検査用プローブを用いて電気的検査を行っている状態

**WEST** **Generate Collection**

L6: Entry 103 of 106

File: JPAB

May 22, 1998

PUB-NO: JP410135281A

DOCUMENT-IDENTIFIER: JP 10135281 A

TITLE: IC PACKAGE

PUBN-DATE: May 22, 1998

## INVENTOR-INFORMATION:

NAME

COUNTRY

TAKAHASHI, TETSUO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

RICOH CO LTD

APPL-NO: JP08303752

APPL-DATE: October 29, 1996

INT-CL (IPC): H01 L 21/60; G01 R 1/06; G01 R 31/26

## ABSTRACT:

PROBLEM TO BE SOLVED: To perform an electric test of a CSP(chip size package) IC package while protecting the mounting electric contact against damage.

SOLUTION: An IC package having solder bumps 23 rearranged on the element forming surface of an IC chip 1 using a bump rearranging board 21 is turned, on the side face thereof, by means of an insulating frame body 11 through which conductive measuring pins 12 are penetrating. First electrode pads 2 arranged along the fringe part of the element forming surface while being connected electrically with solder bumps 23 through second bonding wires 4 are also connected with the measuring pins 12 through first bonding wires 3 and third electrode pads. Electric measurement is made by touching a measuring probe to the exposed end face of a measuring pin 13 from the rear side 11 of the IC package. Since the solder bumps 23 do not touch the measuring means at all, they are protected against abrasion, damage an falling.

COPYRIGHT: (C)1998, JPO

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the new structure which makes it possible to conduct electric inspection about the CSP (chip-size package) type IC package which can respond to high density assembly or many pin-ization while making a package size equivalent to IC chip main part, preventing the injury on electric contact of real wearing especially.

[0002]

[Description of the Prior Art] In the manufacture field of electronic equipment, the requests of small and lightweight-izing, low-cost-izing, and the formation of short time for delivery are mounting increasingly, and it has become that to which the demand with the same said of the IC package which constitutes the core drew near. The mainstream of the present IC package pulls out much external leads on all sides [ of the rectangular package called QFP (Quad Flat Pack-age) ]. However, deterioration of the chip box when a lead pitch is shifting to 0.3mm from 0.4mm, and a switching performance poses a problem, and it is not necessarily easy to deal with the miniaturization beyond this or many pin-ization.

[0003] As an IC package which can cope with this problem, research and development of CSP (chip scale package) are activating. Although the still unified specification does not exist in CSP but the thing of each company many ways is proposed. The view common to the many is the so-called face down bonding mounted so that the element forming face of (a) IC chip may meet a mounting substrate (mother board), (b) All electrode pads are formed in the element forming face of IC chip. It is the contact of real wearing by which the array pattern of this electrode pad is changed into the array pattern of regular electric contact through a certain agency layer (interchange POZA), and this electric contact is actually connected to the circuit pattern on a substrate -- it comes out A ceramics substrate and a polyimide film are used as the above-mentioned agency layer. Moreover, above-mentioned electric contact consists of bumps arranged the electrode by which patterning was carried out to the shape of a grid, and in the shape of a grid. Especially the method that makes the latter bump arrange is BGA (ball grid array).

[0004]

[Problem(s) to be Solved by the Invention] by the way, as mentioned above, an IC package is formed into many pins and a pin interval is also detailed -- it follows on turning and it is becoming difficult to contact an electric checking probe on the occasion of an electric inspection, so that an injury moreover may not be correctly done to a detailed checking terminal to both sides

[0005] About the package of the conventional type which uses a leadframe, some devices on the structure for solving this problem are proposed. For example, JP,5-259367,A is made to expose to the upper surface of a flat type IC package the electric checking pin connected to each lead, and the structure made as [ inspect / by contacting a probe at this pin / it ] is indicated. Moreover, the structure of the IC package made as [ inspect / by inserting a probe pin / from this opening / it ] is indicated by JP,6-204358,A by preparing a checking contact edge on the leadframe inside a mould, and preparing opening to which the checking contact edge of a parenthesis is exposed in the upper surface of a mould. Each technology indicated by each above-mentioned public relations is proposed for the purpose of preventing deformation of a leadframe and a poor contact with a probe. Here, the member used as the contact phase hand of a probe is a pin connected to a lead or this, and, moreover, these members are in the state where it was extensively fixed to the mould resin except for the outcrop.

[0006] On the other hand, in order to conduct electric inspection about a CSP type IC package, you have to make electric contact arranged at the element forming face side of IC chip by which a whole surface mould is not carried out arrange a probe. Since the bump herself turns minutely increasingly in recent years and it has especially been hard coming to secure a bond strength with a ground when electric contact is a bump like a BGA type IC package, it is easy to produce defects, such as a bump's wear, deformation, and defluxion, with the external pressure added at the time of inspection. The IC package which these defects produced becomes the cause that substrate installation is poor, in a mounting stage, and is disadvantageous on manufacture. Then, this invention aims at offering the IC package which enables reliable electric inspection, without producing a defect in electric contact used for connection with a mounting substrate also about a CSP type IC package.

[0007]

[Means for Solving the Problem] So that the IC package of this invention can contact an electric checking probe to the element forming face of IC chip with which the rearrangement of electric contact was carried out from the direction of an opposite side It is the rear face (however, at the time of mounting, it becomes the upper surface here.) of a frame about the conductor which connects to this 1st electrode pad the frame which arranges first the 1st electrode pad electrically connected with this electric contact on an element forming face along the side of IC chip, and goes this IC chip around in the form penetrated in the height direction. It is going to attain the above-mentioned purpose by pulling out and using the outcrop of the conductor in this rear face as the contact of an electric checking probe. the above -- what is necessary is for what plays the role of a conductor to be the conductive pin for measurement embedded at the frame, and just to connect it with the 1st electrode pad which corresponds this measurement pin separately using the 1st connecting means

[0008]

[Embodiments of the Invention] this invention is aimed at an IC package which is changed into the array pattern of another electric contact using a certain agency layer by the array pattern of the electrode pad on the element forming face of IC chip. Here, the above-mentioned agency layer can be constituted using well-known insulating materials, such as a ceramics substrate, an epoxy resin substrate, and a polyimide film. Although it is also possible to carry out through the internal structure of an agency layer, the electrical installation of the above-mentioned 1st electrode pad and aforementioned electric contact arranges the 2nd electrode pad electrically connected with this electric contact on the side section of this agency layer, and it is simple to connect electrically this 2nd electrode pad and the above-mentioned 1st electrode pad using the 2nd connecting means. In addition, as the 1st connecting means of the above, and the 2nd connecting means, it is simple to use a bonding wire. In addition, not only a bonding wire but the ground metal membrane used in consideration of adhesion and contact resistance with this wire shall be included in these 1st connecting means and the 2nd connecting means.

[0009] Although this invention applies and is suitable for all kinds of CSP, if especially electric contact applies to the BGA type IC package which consists of bumps who consist of a metal of a pewter and others, it can prevent effectively wear of the bump at the time of an electric inspection, an injury, and defluxion.

[0010] Next, it explains as a gestalt of concrete operation of this invention, referring to drawing 1 and drawing 2 about the example of 1 composition of a BGA type IC package. It is drawing drawing 1's having fractured a part of square BGA type IC package, and having shown the element forming face side I upward, and drawing 2 is the A-A line cross section of drawing 1. In this IC package, the IC chip 1 is going the neighborhood around with the frame 11. Although many electrode pads which are not illustrated are formed on the element forming face of the IC chip 1, the agency layer which is the grade from which sufficient mounting precision is acquired, and has changed the array pattern of the electrode pad into the regular pewter bump's 23 array pattern is the bump rearrangement substrate 21. The bump rearrangement substrate 21 is formed for example, using the glass fiber strengthening epoxy resin.

[0011] The 2nd electrode pad 22 is arranged also on the field which the 1st electrode pad 2 is arranged on the field which met on all sides [ of the aforementioned IC chip 1 ], and met on all sides [ of the bump rearrangement substrate 21 ]. The 2nd electrode pad 22 is electrically connected with each pewter bump 23 by the internal wiring 24. It is constituted using aluminum system material film, for example [ both ], and these 1st electrode pad 2 and the 2nd electrode pad 22 are same number \*\*\*\*\*. The pads which correspond mutually use the 2nd bonding wire 4 for each, and these electrode pads are connected by the element forming face side I. This 2nd bonding wire 4 is formed using Au or aluminum system material.

[0012] Although the above-mentioned 1st electrode pad 2 and the 2nd electrode pad 22 are terminals for electrical measurements currently formed in the element forming face side I by each, the members which enable access of the electric checking probe from Background II to these terminals are a frame 11 and the pin 12 for measurement currently embedded in it. The above-mentioned frame 11 is a member which consists of an epoxy resin with a width of face [ of 0.1mm ], and a height of 0.4mm. The above-mentioned height is for heightening the holding power of the closure layer 5 from the height of the IC chip 1, in case this performs a resin seal only about the periphery of the IC chip 1 like the after-mentioned, mist and, although it is high.

[0013] In the above-mentioned frame 11, the pin 12 for measurement which consists of one side of 0.05mm aluminum systems or and Cu system material in the height direction has penetrated. Although this pin 12 for measurement can use the exposed surface as the contact of the probe for electrical measurements as it is in Background II, in order to perform wire bonding so that it may mention later, the adhesion and contact resistance with a metal ball of an edge of a bonding wire pose a problem by the element forming face side I. Here, the 3rd electrode pad 13 which becomes the end face of the pin 12 for measurement by the side of [ 1 ] an element forming face from Au was formed.

[0014] In addition, in order to form the pin 12 for measurement and the 3rd electrode pad 13 which penetrate the height direction of a frame 11 as mentioned above, aluminum pin or Cu pin which made Au layer used as the 3rd electrode pad 13 put on an end beforehand is set into the form block, and the method of filling up the crevice between each pin with pouring a resin into this form block can be taken.

[0015] The pads to which the above-mentioned 3rd electrode pad 13 and the 2nd electrode pad 13 correspond mutually are connected using the 1st bonding wire 3. In addition, the 1st bonding wire 3 and the 2nd bonding wire 4 are closed in the closure layer 5 which consists of an insulating resin. Since face down bonding of this IC package is carried out on a mounting substrate, especially the thing for which the height of the above-mentioned closure layer 5 is made into within the limits of the pewter bump's 23 height is important for it. thus, this IC package -- setting -- pin 12for measurement -> -- the 3rd electrode pad 13 -> 1st bonding wire 3 -> 1st electrode pad 2 -> 2nd bonding wire 4 -- a flow is taken according to the interior wiring of -> 2nd electrode pad 22 -> 24 -> pewter bump's 23 path

[0016] In order to perform an electrical measurement to the above-mentioned IC package, as shown in drawing 3 , the electric checking probe 31 is contacted at the pin 12 for measurement from the background II of an IC package. This electric checking probe 31 is the thing of the kind with which the commercial probe card is equipped. Thus, by this invention, where a probe 31 is contacted, various signals for an examination can be inputted into the pin 12 for measurement from this probe 31. That is, since the pewter bump 23 does not have a possibility that it may be entirely contacted with a probe 31, she does not produce defects, such as a bump's wear, an injury, and defluxion. In addition, although the electric checking probe 31 is contacted at drawing 3 where an IC package is laid in a face down formula, it may lay in a face-up formula and this may be performed.

[0017] As mentioned above, although the gestalt of operation of this invention was described, this invention is not limited to an above-mentioned gestalt at all, and about the details of the composition of IC chip, the size of each part material, and the component of each part material, suitably, it can change or it can be chosen.

[0018]

[Effect of the Invention] The IC package of this invention enables reliable electric inspection, without producing a defect in electric contact used for connection with a mounting substrate so that clearly also from the above explanation. Therefore, all kinds of the reliability and the manufacture yields of a CSP type IC package including a BGA type can be raised. (Moreover, the chip with which it was proved before mounting that it is an excellent article chip, i.e., KGD, (known good die) The role which acquisition becomes easy

and plays in utilization of CSP is size very much.)

---

[Translation done.]